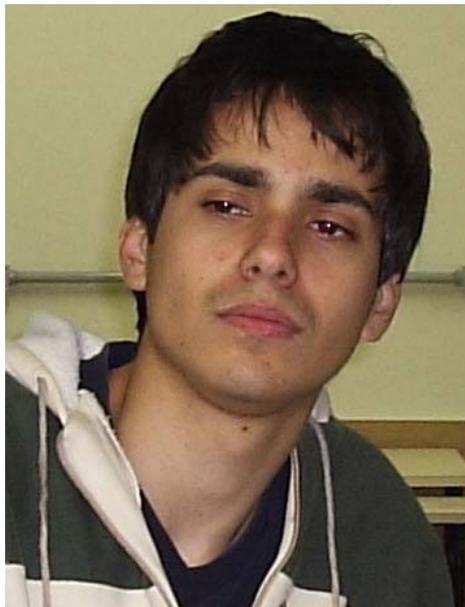


Propriedades elétricas em nanofios semicondutores

Iniciação Científica F 590
Relatório Final – 20/06/2006



Bolsista: Leonardo Castilho Couto RA:024293

Orientadora: Profa. Mônica Alonso Cotta

Prof. Responsável: Dr. José Joaquim Lunazzi

IFGW/UNICAMP
JUNHO/2006

1. Resumo do plano inicial

Neste projeto, pretendemos caracterizar as propriedades elétricas de nanofios semicondutores de compostos III-V. Curvas características de corrente-tensão e medidas de condutância serão realizadas em dispositivos especialmente processados para este fim. Etapas de calibração do tratamento térmico do contato ôhmico serão realizadas previamente. Medidas elétricas a temperaturas mais baixas que a ambiente serão adquiridas, de modo que fenômenos tipo tunelamento ressonante e bloqueio coulombiano possam ser investigados nestes nano-objetos.

2. Resumos dos trabalhos realizados no período

Obtivemos os primeiros resultados no processamento dos dispositivos baseados nos nanofios semicondutores, para medidas de transporte. Até agora, realizamos medidas em uma amostra teste como prova de princípio para os procedimentos escolhidos, e em uma nova amostra, trabalhando em colaboração estreita com o grupo de pesquisa do LME/LNLS, em particular com a doutoranda Denise Nakabayashi e o Prof. Daniel Ugarte. Foram feitas medidas corrente vs. tensão em dispositivos de dois terminais contendo um nanofio de InP não dopado, conforme descrito neste relatório. O processamento e medidas elétricas foram realizados com a infra-estrutura dos laboratórios do LPD/IFGW. Na última amostra medida verificamos o comportamento não linear de um nanofio de InP contendo heteroestruturas em sua composição. Assim como seu comportamento em função da voltagem no gate.

As atividades que foram realizadas neste período:

1. O estudo das técnicas experimentais e de análise será realizado durante toda a vigência da bolsa, assim como o estudo sobre dispositivos semicondutores em artigos e literaturas específicas.

2. Capacitação no uso dos instrumentos de laboratórios necessários para as medidas de transporte na amostra com nanofios. Isso inclui o uso da estação de pontas (LPD/IFGW), microscópio de força atômica (AFM), criostato para medidas a baixa temperatura, picoamperímetros HP4145B e Keithley 6487, programa de aquisição de dados via GPIB, análise de ruídos e técnicas experimentais para a minimização de ruídos em medidas elétricas de baixa corrente.

3. Síntese do dispositivo (encapsulamento) para medidas a baixas temperaturas com apoio do DEE/CenPRA (Centro de Pesquisas Renato Archer), e visitas ao Síncrotron para processamento da amostra e medidas elétricas no manipulador acoplado ao FEG-SEM no LME/LNLS.

4. Medidas de corrente (I) vs tensão (V) em diferentes dispositivos processados. Assim como variação dos parâmetros usados na obtenção dessas curvas, com objetivo de destacar as diferentes características elétricas dos nanofios.

3. Detalhamento do trabalho realizado no período

3.1. Introdução

O uso de nanofios semicondutores e nanotubos de carbono na fabricação de dispositivos e circuitos pode abrir espaço para diversas aplicações na nanoeletrônica e fotônica [1]. Individualmente, nanofios semicondutores foram utilizados em transistores de efeito de campo (FET) [2], foto-detectores [3] e sensores bio/químicos [4]. Reunindo alguns nanofios é possível obter LEDs (*light-emitting diodes*) mais sofisticados [5]. Medidas de fotoluminescência, transporte elétrico e eletroluminescência em nanofios individuais mostram propriedades únicas desses nanofios para a fotônica e eletrônica. Mais recentemente, a incorporação de múltiplas heteroestruturas nos nanofios foi obtida [6-8], aumentando assim as expectativas de aplicação dos nanofios a dispositivos eletrônicos unidimensionais, como já demonstrado no caso de diodos de tunelamento ressonante [9]. O

trabalho apresentado aqui mostra os primeiros resultados em dispositivos simples de dois e três terminais com nanofios crescidos, manipulados e processados nos laboratórios do IFGW/UNICAMP e LME/LNLS.

3.2. Metodologia para fabricação do dispositivo:

A síntese de nanofios auto-sustentados baseia-se no conceito de crescimento por VLS (vapor-líquido-sólido) catalisado por nanopartículas metálicas (figura 1).

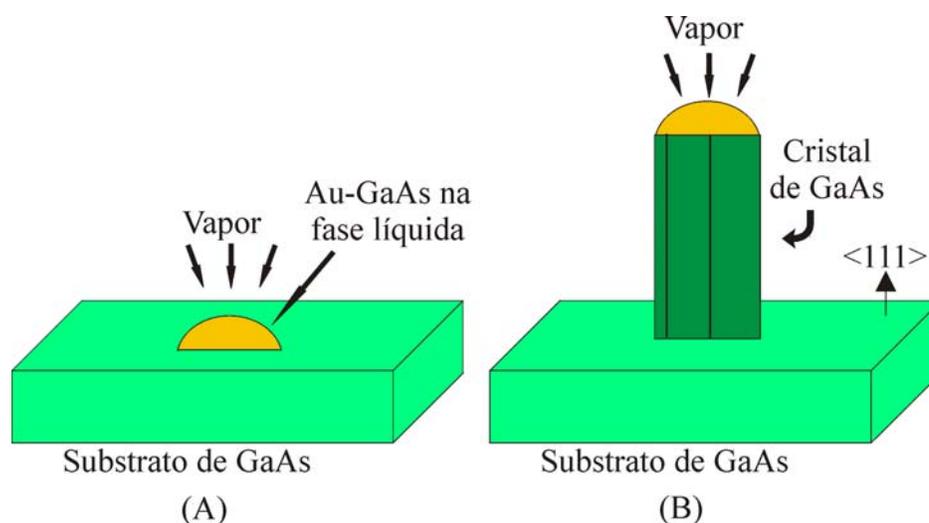


Figura 1 - Esquema do mecanismo VLS. Em (A) uma camada de líquido em que o material cristalino é solúvel está situada entre o vapor e o cristal em crescimento. A superfície de líquido tem um grande coeficiente de acomodação e é, portanto, o sítio preferido para deposição. Em (B) o líquido torna-se supersaturado com o material fornecido pelo vapor, e o crescimento cristalino ocorre pela precipitação na interface sólido-líquido.

No processo VLS [10], uma nanopartícula serve como ponto de nucleação e adição de precursores para o nanofio em crescimento. Com isso torna-se possível o crescimento das estruturas, pois um catalisador comum a dois materiais diferentes pode ser usado na obtenção dos nanofios, através da modulação dos precursores durante o crescimento na câmara de crescimento do sistema CBE (*Chemical Beam Epitaxy*). As amostras utilizadas neste relatório foram crescidas pelo Dr.Humberto R.Gutiérrez, durante seu pós-doutorado no grupo. Atualmente as amostras são crescidas pelo aluno de doutorado João Guilherme

Zelcovit. A caracterização por microscopia eletrônica foi toda realizada no LME/LNLS, por este último aluno ou por membros do LME. As figs. 2 e 3 ilustram o tipo de amostras crescidas por VLS, na Fig. 3, com o crescimento por CBE, destacamos a possibilidade de inclusão de heteroestruturas na composição dos nanofios.

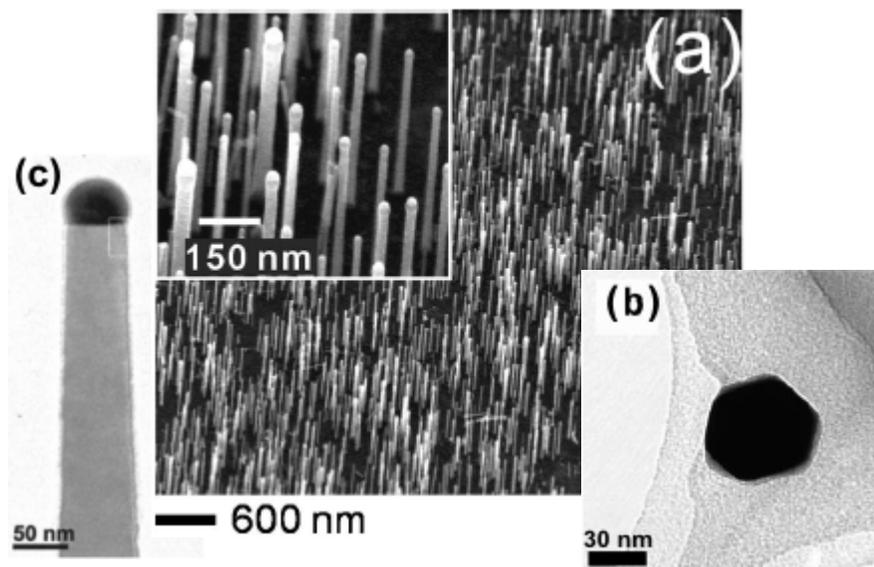


Figura 2 - Imagens de microscopia eletrônica. Em (A) Amostra de fios de InP vista num ângulo de 45 graus. [11]. (B) Ponta de um nanofio de InAs $\langle 111 \rangle$ vista de cima, revelando claramente as faces laterais do nanofio [12]. (C) Imagem lateral de um nanofio de InP, mostrando uma partícula catalisadora de Au na ponta [13].

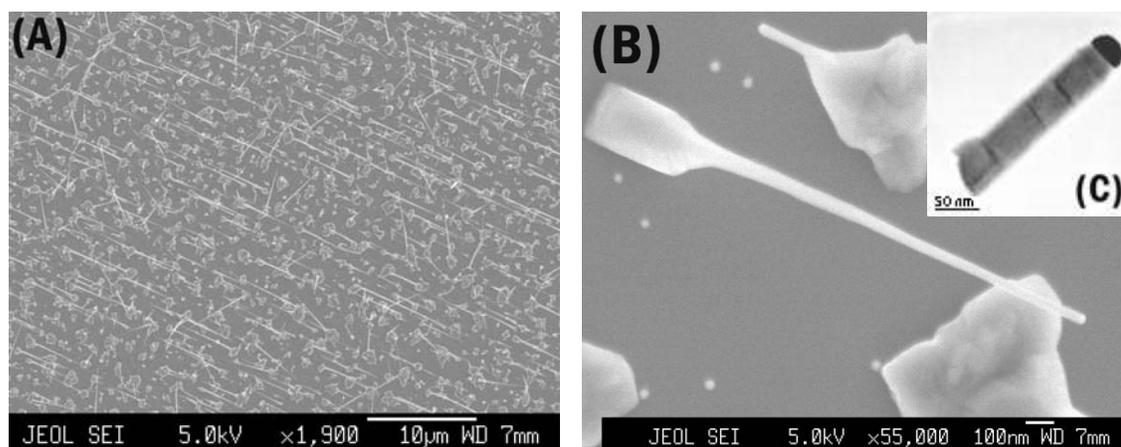


Figura 3 - Imagens de microscopia eletrônica de nanofio de InP/InAs: (A, B) Microscopia eletrônica de varredura, em duas magnificações; (C) microscopia eletrônica de transmissão, mostrando a partícula catalisadora de Au na ponta e o diferente contraste devido aos dois materiais. A amostra foi crescida no sistema CBE, e as imagens realizadas no LME/LNLS.

Os dispositivos processados para medidas elétricas terão a configuração ilustrada na Fig. 4 abaixo. Para isso, três etapas de processamento são necessárias: fotogração e metalização dos padrões no substrato, manipulação do nanofio para a posição desejada e posteriormente o realinhamento da fotogração para nova metalização sobre os nanofios. Estas etapas são descritas a seguir em maiores detalhes.

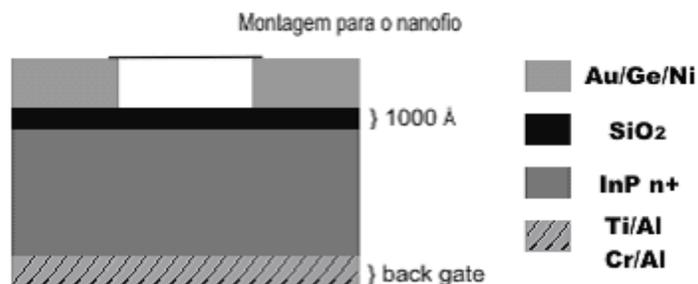


Fig.4 – Esquema da amostra final, após manipulação do nanofio para posicionamento sobre os contatos metálicos. O diâmetro do nanofio é de ~50nm, enquanto seu comprimento atinge até dezenas de microns.

3.2.1 Substratos

Inicialmente, no caso de amostra teste, utilizamos o substrato de InP semi-isolante ($\rho \sim 10^7 \Omega \cdot \text{cm}$) com o óxido nativo da superfície funcionando como elemento isolador. Como a corrente de fuga mostrou-se mais alta que o desejável, optamos por utilizar para a nova amostra o esquema mostrado na Fig.4, com uma camada de 100 nm de SiO₂ entre o metal e a superfície. A utilização dessa camada de óxido possibilita o uso de substrato dopado (InP, $n \sim 10^{18} \text{cm}^{-3}$), de modo que podemos utilizar a configuração de *back gate* conforme exibido na figura 4.

3.2.2 Processamento do dispositivo

A primeira etapa de processamento consistiu na foto-gravação dos padrões para os contatos metálicos, utilizando uma máscara adaptada de outro projeto (Figura 5).

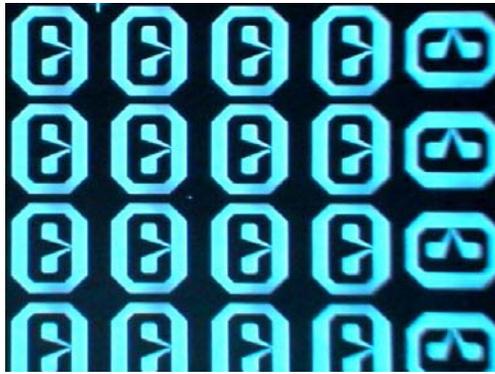


Figura 5 - Imagem do microscópio ótico de parte da máscara de Ni utilizada para a fabricação dos contatos; a regiões em azul permitem a passagem dos raios UV.

A figura 6(a) esquematiza esta parte do processo, mostrando a região do resiste exposta à radiação ultra-violeta (UV). A Figura 6(b) ilustra a revelação do fotoresiste, que remove o material que não foi exposto ao UV. Nestas regiões será depositado o metal para formação do contato elétrico com o nanofio.

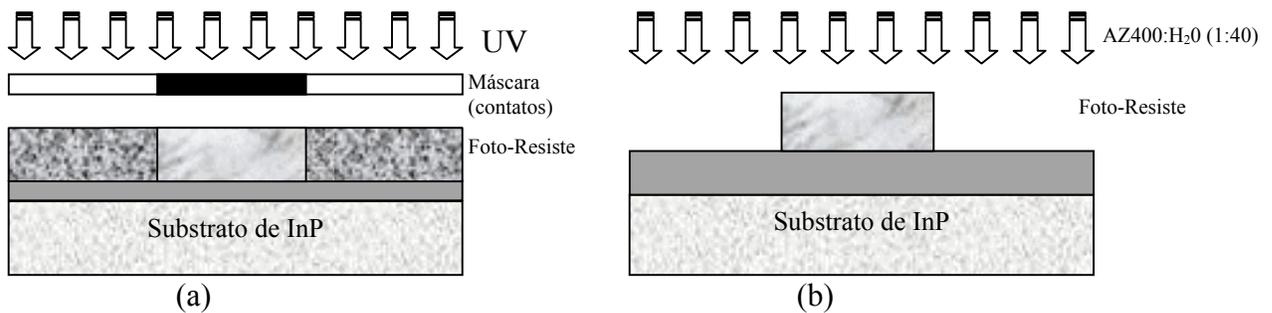


Figura 6 - Início do processamento das amostras. (a) foto-gravação com a máscara. (b) revelação do fotoresiste sensibilizado.

A metalização dos contatos elétricos, como esquematiza a Figura 7(a), foi feita por evaporação com feixe de elétrons. Nesse tipo de evaporação elétrons de alta energia (5 a 30 keV), extraídos de um ânodo e direcionados por um campo magnético, bombardeiam o material a ser evaporado. O material pode fundir e a evaporação ocorre desde que se consiga suprir energia suficiente. Os metais utilizados foram Ni/GeAu (seção 4.1), totalizando uma espessura final de 1400Å. Para remover o metal depositado sobre o foto-resiste é utilizada acetona. Como a espessura do filme metálico é inferior à do foto-resiste, o solvente penetra por baixo do

metal, que perde a sustentação e também é removido. Este processo está esquematizado na Figura 7(b).

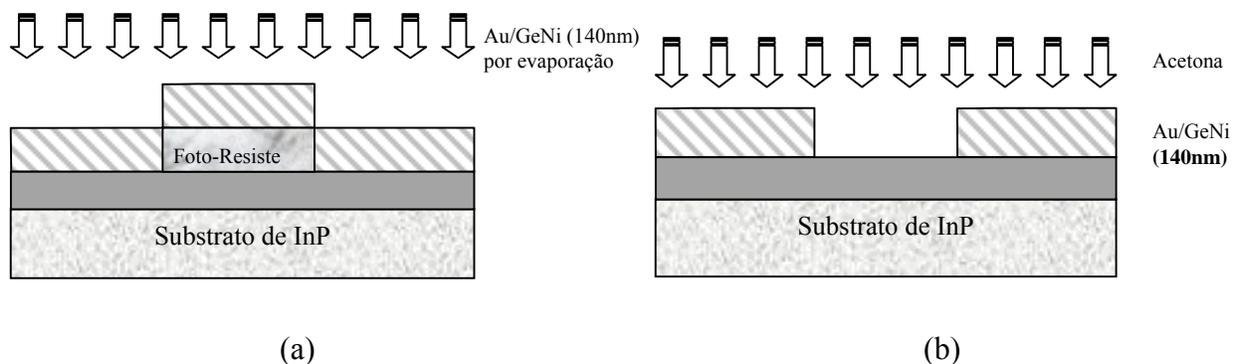


Figura 7 - Final da primeira etapa do processamento da amostra. (a) evaporação convencional dos metais Ni/GeAu. (b) remoção do foto-resiste restante e de parte do metal.

Após o término do processo podemos visualizar a amostra com o microscópio ótico, como mostra a Figura 8. Em nosso teste com os nanofios, somente utilizaremos dois dos *pads* metalizados para a colocação dos nanofios e obtenção da curva corrente vs.tensão.

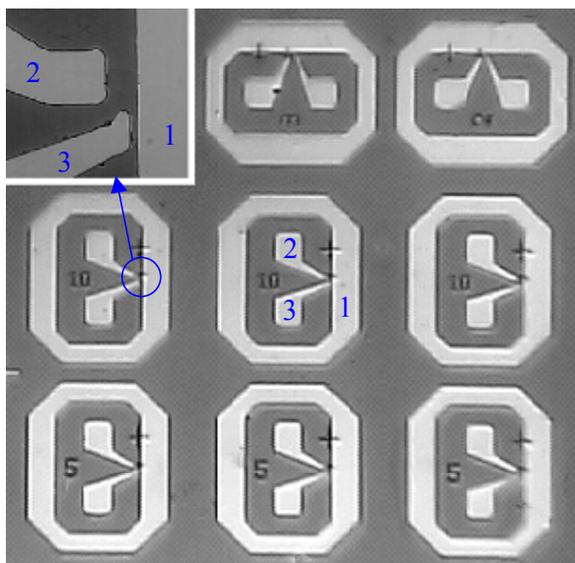


Figura 8 - Imagem no microscópio ótico da amostra processada com a máscara da Figura 5. Os contatos elétricos (números 1, 2 e 3 em azul) são mais claros que a camada *buffer* de InP (fundo cinza). No *inset* a ampliação da região permite visualizar melhor como os três contatos (*pads*) estão dispostos. A distância perpendicular entre os *pads* 1 e 2, utilizada para deposição do nanofio, é de $\sim 10\mu\text{m}$.

Depois desta etapa, a amostra foi então levada ao LME/LNLS para a colocação dos nanofios sobre os *pads* metálicos. Esta tarefa foi realizada com o nanomanipulador

acoplado ao FEG-SEM, no LNLS, pela aluna de doutorado Denise B. Nakabayashi, sob supervisão de seu orientador, o Prof. Daniel Ugarte. A Figura 9 abaixo ilustra o processo de manipulação, mostrando as pontas de tungstênio posicionando um nanofio sobre os contatos de uma amostra, em trabalho anterior ao início deste projeto, que serviu apenas como teste de manipulação (nesta amostra a primeira metalização apresentou problemas). Deste modo, foram fabricados 6 dispositivos com os nanofios de InP em diferentes regiões da amostra.

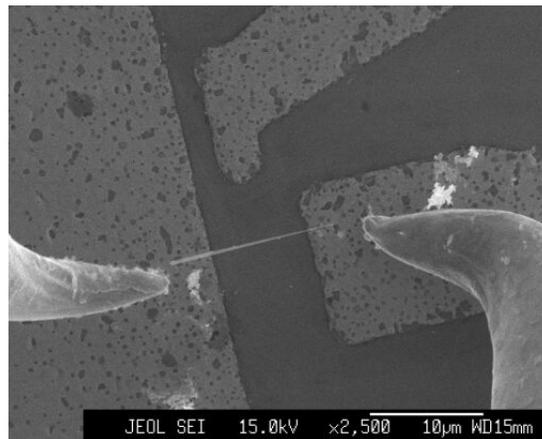


Fig. 9 - Nanofio semicondutor sendo posicionado sobre a região dos contatos metálicos com o manipulador acoplado ao FEG-SEM no LME/LNLS. Podem também ser observadas as duas pontas de tungstênio utilizadas para a manipulação.

Novamente utilizando a infra-estrutura do IFGW/UNICAMP, realizamos a seguir nova etapa de fotogração, realinhando a máscara com os contatos já metalizados e eventualmente depositando cerca de 50nm da liga Au/Ge/Ni. Com isso, esperamos ‘enterrar’ a extremidade dos nanofios que se encontram sobre o contato metálico, preservando intacta a região do nanofio entre os *pads* metálicos. Deste modo, pretendemos não somente aumentar a probabilidade de formação de um bom contato ôhmico como também aumentar a adesão do nanofio à estrutura processada, melhorando a estabilidade do dispositivo.

3.2.3 Medidas elétricas

Após o final do processamento da amostra, foi necessário um período de instrumentação para utilização dos aparelhos no laboratório. Com a ajuda do aluno de doutorado Klaus Orian Vicaro, foi possível realizar as primeiras medidas elétricas na amostra usando a estação de pontas.

A estação de pontas consiste em um microscópio ótico e um medidor de corrente, conectado a duas pontas finas de tungstênio; essas pontas estão ligadas a dispositivo que permite pequenos movimentos nos três eixos separadamente. Pode-se então encostar estas pontas na amostra e, aplicando uma voltagem entre dois pontos, obter curvas corrente vs. tensão.

Outra técnica importante foi a blindagem; como as medidas realizadas apresentavam um baixo nível de corrente ($\sim 10^{-9}$ A), o ruído nelas era significativo. Para minimizar o nível de ruído, sempre que possível utilizamos duas blindagens. Uma mais externa, aterrada, com o objetivo de amenizar o ruído térmico e ruído elétrico proveniente dos próprios componentes eletrônicos. Outra interna, com a mesma voltagem aplicada na amostra, para evitar capacitâncias parasitas.

Outros cuidados também foram tomados, como diminuir ao máximo o tamanho dos fios para evitar o efeito ‘antena’, uso de filtros de média, tempo de integração, blindagem contra luz, evitar *loop* de terras, minimização de efeitos triboelétricos (geração de cargas por atrito) e piezoelétricos (geração de cargas por compressão) nos fios, e utilização de redes limpas.

Após as medidas elétricas realizadas na estação de pontas, foram feitas medidas a baixa temperatura. Para possibilitar medidas com a amostra imersa num criostato procedemos ao encapsulamento da amostra no dispositivo DIL-24. A figura 10 mostra a primeira amostra no estágio final, após a solda de fios de Al nos *pads* metálicos dos dispositivos e montagem da amostra no suporte adequado.– Estas atividades foram realizadas com a colaboração do Centro de Pesquisas Renato Archer - CENPRA, que proporcionou o uso do *wire bonder*. Foram montados dispositivos com e sem nanofios na região ativa, para a comparação das características elétricas.

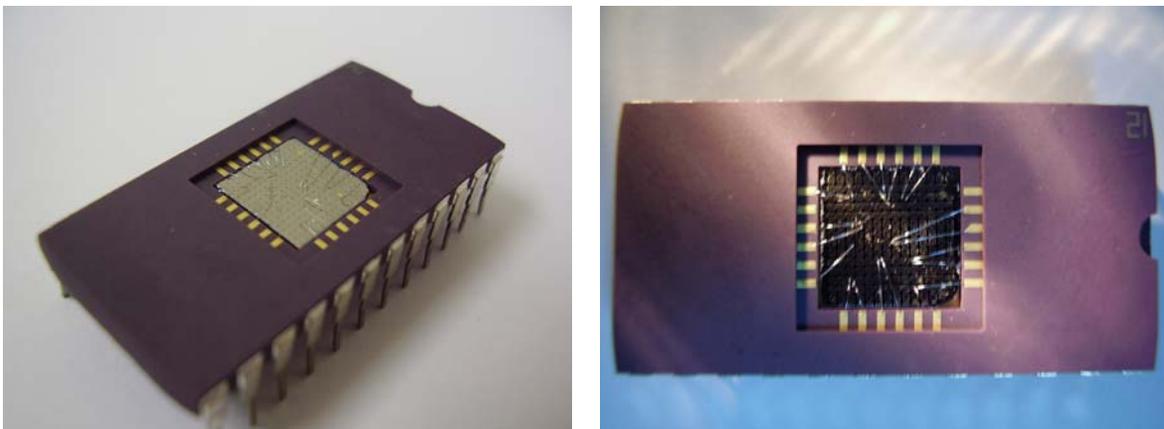


Fig.10 - Configuração final da amostra montada, mostrando as soldas nos *pads* metálicos. Foram montados dispositivos com e sem nanofios na região ativa, para a comparação das características elétricas.

As medidas elétricas a baixa temperatura foram feitas num picoamperímetro *Keithley 6487*, do próprio laboratório. Neste caso, além de aprender as funções deste aparelho, foi preciso desenvolver um programa em *LabView*. Este programa executa rotinas enviando e recebendo procedimentos ao picoamperímetro, para aquisição dos dados via GPIB (protocolo de comunicação).

Por fim, na segunda amostra processada até aqui, foram feitas medidas elétricas com o *Keithley 6487* no próprio manipulador acoplado ao FEG-SEM no LME/LNLS, com auxílio da doutoranda Denise Nakabayashi e o Prof. Daniel Ugarte. E também foram realizadas medidas com a estrutura do LDP/DFA onde foi possível explorar a configuração de back-gate da amostra.

4. Resultados e Discussão

4.1. Contato Metal Semicondutor

Todas as medidas de propriedades elétricas de transporte feitas diretamente num material requerem contatos elétricos adequados entre a amostra e o instrumento de medida, de acordo com a medida a ser feita. Normalmente é desejável obter contatos de baixa resistência (ôhmicos).

A palavra “ôhmico” significa, idealmente, algo que obedece a lei de ohm, e é também usada para se referir a um contato que tem uma pequena resistência comparada à resistência da amostra sendo estudada, e assim, um comportamento não linear insignificante.

As primeiras experiências feitas com contato retificador metal semicondutor datam de 1874, quando foi verificado que a resistência à passagem de corrente elétrica dependia da polaridade da tensão aplicada e das condições da superfície de contato. Desde 1904 o contato retificador, também conhecido como contato Schottky, encontrou várias aplicações, como por exemplo, o transistor de ponta[14] , diodo de barreira Schottky, transistor MESFET e outros. Devido à sua importância, o contato metal semicondutor tem sido extensivamente estudado.

O estudo das características do contato metal semicondutor pode ser feito através do diagrama de bandas de energia dos sólidos[15]. A figura 11 mostra o aspecto do diagrama de bandas do contato metal semicondutor ideal. Observamos que a função trabalho do metal é maior que a função trabalho do semicondutor. Neste caso, antes do contato físico ser estabelecido, os elétrons do semicondutor estão em um nível de energia mais alto que os elétrons do metal. Quando os materiais são colocados em contato, o sistema busca a situação de equilíbrio, igualando os níveis de Fermi dos dois materiais. Assim, elétrons do semicondutor são transportados para o metal, formando uma região de depleção. Nesta região há uma concentração menor de elétrons do que no substrato, resultando numa inclinação das bandas de energia, de valência e de condução. Quanto menor a distância entre os materiais, maior a inclinação das bandas, aumentando o número de elétrons que são transportados para o metal, e conseqüentemente a largura da região de depleção. A situação limite é quando a distância entre os materiais for nula, resultando numa inclinação máxima das bandas de energia. Assim, pode-se observar a formação de uma barreira de potencial que os elétrons devem vencer para passar do semicondutor para o metal. Observa-se que quanto maior for a função trabalho do metal, maior será a altura da barreira de potencial do metal para o semicondutor, pois neste caso os níveis de Fermi dos materiais ficam mais afastados[15].

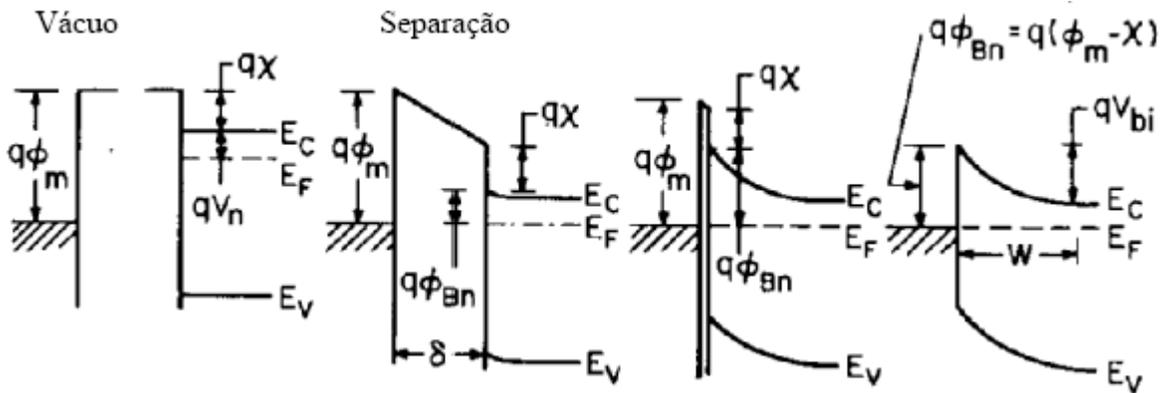


Figura 11 – Diagrama de bandas da junção metal semicondutor sem estados de superfície, para semicondutor tipo n e metal com função trabalho maior que do semicondutor[15].

No caso da junção metal-semicondutor real, existem estados na superfície do semicondutor, provenientes de defeitos cristalográficos, incluindo a descontinuidade da rede, ou impurezas adsorvidas na superfície[15,16]. Neste caso o nível de Fermi é fixo no nível ϕ_0 e a altura da barreira de potencial é dependente das características da superfície do semicondutor. Este caso é conhecido como o limite de Bardeen.

É muito difícil fabricar contatos ôhmicos na maioria dos semicondutores. Um metal, geralmente, não apresenta uma função trabalho baixa o suficiente para garantir uma barreira de potencial desprezível. Nesses casos é utilizada uma técnica que consiste numa dopagem muito alta da superfície do semicondutor, de modo que o contato seja feito entre metal – n^+ - n, ou metal – p^+ - p, diminuindo a largura da barreira de potencial entre o metal e o semicondutor, como ilustrado na Figura 12.

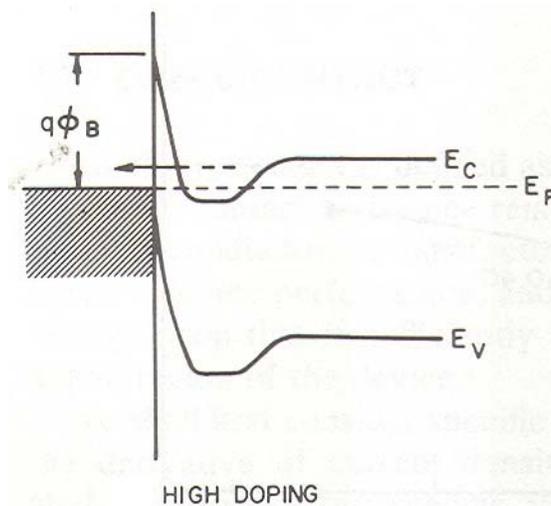


Figura 12 – Diagrama de bandas da junção metal semiconductor, para semiconductor tipo n+ (alta dopagem) e metal, ilustrando a diminuição na largura da barreira [15].

Existem diversas maneiras de se obter essa configuração; para semicondutores do tipo n, como GaAs ou InP é frequentemente usada uma combinação de Au/GeNi (além do uso de ligas ternárias de menor *gap* para o contato). Neste caso, é feito um tratamento térmico quando ocorre a difusão dos elementos da liga metálica. Com a diminuição da temperatura, o semiconductor volta ao seu estado anterior, incorporando uma alta concentração de germânio em sua estrutura, que eleva bastante seu grau de dopagem. Uma fina camada de níquel por sua vez, impede a difusão dos metais semicondutores para a superfície.

No nosso caso, após a metalização (Au/GeNi) dos *pads* com nanofios, procedemos com o tratamento térmico da amostra, tentando assim diminuir ao máximo os efeitos da barreira Schottky no transporte de portadores no nanofio.

4.2. Tratamento Térmico e Medidas Elétricas

4.2.1 Teste inicial

A Figura 13 mostra uma das regiões da amostra teste observada no microscópio ótico. Todos os 6 conjuntos de *pads* que continham nanofios foram fotografados para servir

como referência, caso a amostra sofresse alguma alteração ao longo do processo de tratamento térmico. Este processo é necessário para a difusão de Ge e Ni, principalmente, na interface metal/semicondutor, criando um contato elétrico com menor resistência entre os *pads* e o nanofio.

Este procedimento encontra-se calibrado para os compostos semicondutores com os quais o LPD tem trabalhado ao longo dos anos. Normalmente utilizamos um tratamento térmico rápido, com a temperatura se mantendo em 420°C por 30 segundos, numa atmosfera de gás verde (N₂ com 2% de H₂). Contudo, nos casos convencionais, a difusão de Ge e Ni ocorre num volume de material muito maior que o do nanofio. Por este motivo, realizamos o tratamento térmico em etapas, avaliando pelas curvas corrente vs.tensão o contato obtido.

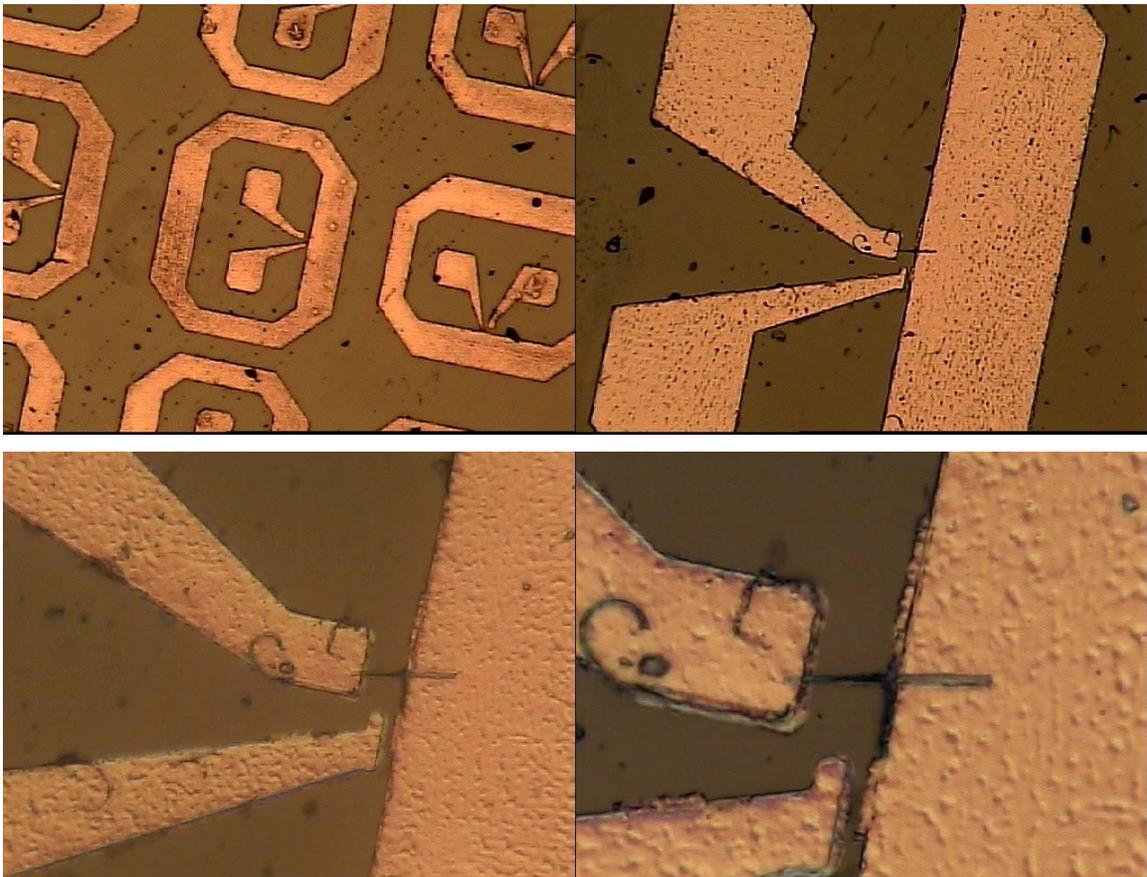


Figura 13 - Fotos da amostra em um microscópio óptico com diferentes magnificações.

O primeiro tratamento térmico foi realizado a 380 °C por 30 segundos; a Figura 14 mostra as medidas elétricas realizadas na estação de pontas em conjunto com o analisador de parâmetros semicondutores HP-4145B.

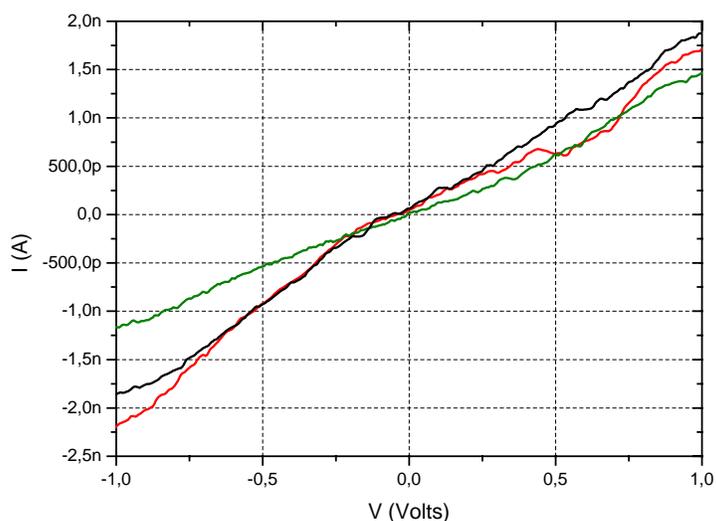


Figura 14 - Curvas IxV após o primeiro tratamento térmico a 380°C, por 30 segundos em atmosfera de gás verde. As curvas referem-se a diferentes dispositivos com nanofios.

Podemos observar da Fig.14 que as curvas são não-lineares, ruidosas e apresentam resistências altas, da ordem de GΩ. O tratamento térmico foi então repetido, com amostra sendo mantida a 400°C por 20 segundos.

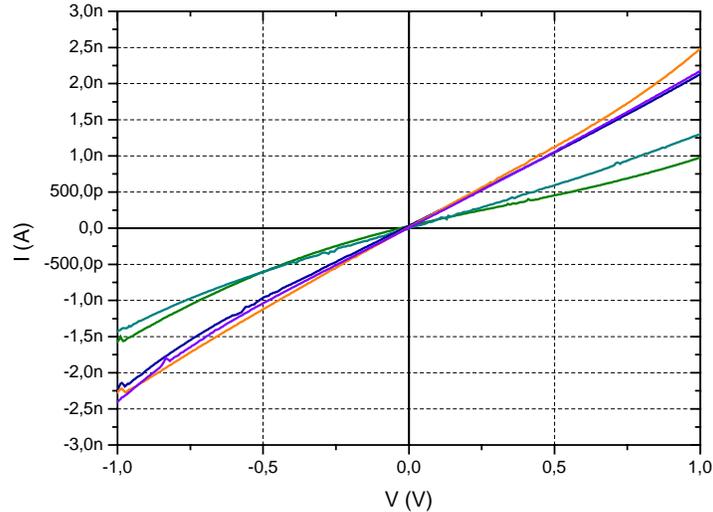


Figura 15 - Curvas IxV após o segundo tratamento térmico a 400°C, por 20 segundos em atmosfera de gás verde. As curvas azuis e vermelhas referem-se a dispositivos com nanofios, enquanto as verdes estão relacionadas à corrente de fuga entre os *pads* sobre o substrato.

Neste caso, é possível notar um comportamento mais linear de algumas curvas, com um nível menor de ruído. Podemos notar na Fig.15, porém, que a corrente de fuga no substrato semi-isolante é muito alta, em comparação com os níveis de corrente observados nos dispositivos ativos, com os nanofios. Após cada etapa de tratamento térmico, o dispositivo foi levado ao microscópio ótico para verificar a integridade da amostra. Não houve mudanças visuais significativas. Com estes resultados em mãos, e sabendo que o nanofio é de InP não-dopado (o que implica em contatos tipo Schottky), preferimos não realizar outras etapas de tratamento térmico para evitar a degradação da amostra.

A Figura 16 mostra um conjunto de medidas elétricas a 77K em dois dispositivos com nanofios (em azul) e entre *pads* de contatos isolados (em vermelho), já na amostra montada da Figura 10. Apesar da queda nos valores de corrente, as curvas mostraram-se mais suaves. Notamos, porém, que as características dos dispositivos com nanofios, na maior parte dos casos, mal se distingue daquelas dos *pads* isolados. Somente um dos dispositivos exibiu um nível mais alto de corrente, compatível com o obtido anteriormente, porém ainda assim com medidas não completamente reproduzíveis. Para avaliar a razão deste comportamento, é importante diminuir a corrente de fuga pelo substrato.

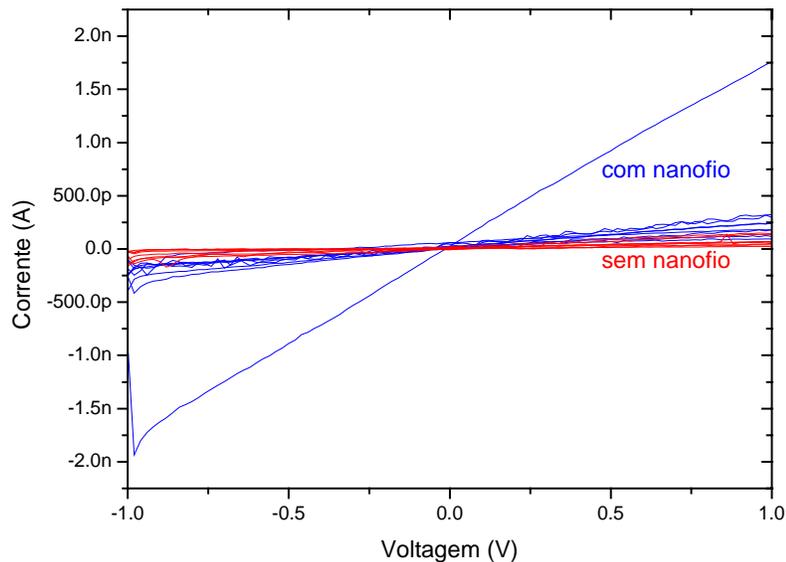


Figura 16 - Medidas elétricas a 77K nos dispositivos com fios de Al soldados nos *pads* metálicos. A figura mostra medidas em dispositivos contendo nanofios na região ativa (azul) ou entre *pads* isolados (vermelho).

4.2.2 Configuração com SiO₂ na interface metal/semicondutor

Em virtude das altas correntes de fuga encontradas na amostra teste, processamos uma segunda amostra, utilizando o substrato dopado e a camada de SiO₂ na interface metal/semicondutor, como descrito na seção 3.2.1. As medidas realizadas até agora nessa amostra foram efetuadas ainda sem a segunda metalização e tratamento térmico. Desse modo podemos avaliar melhor o comportamento do contato, e a necessidade desses procedimentos.

As medidas abaixo foram realizadas no Laboratório de Microscopia Eletrônica no LNLS, utilizando o manipulador acoplado ao FEG/SEM. Foi possível assim, observar a amostra no momento das medidas, uma vez que, após diversos testes, verificamos que o feixe de elétrons emitido pelo microscópio não interferia no resultado (conforme a Fig.17 abaixo).

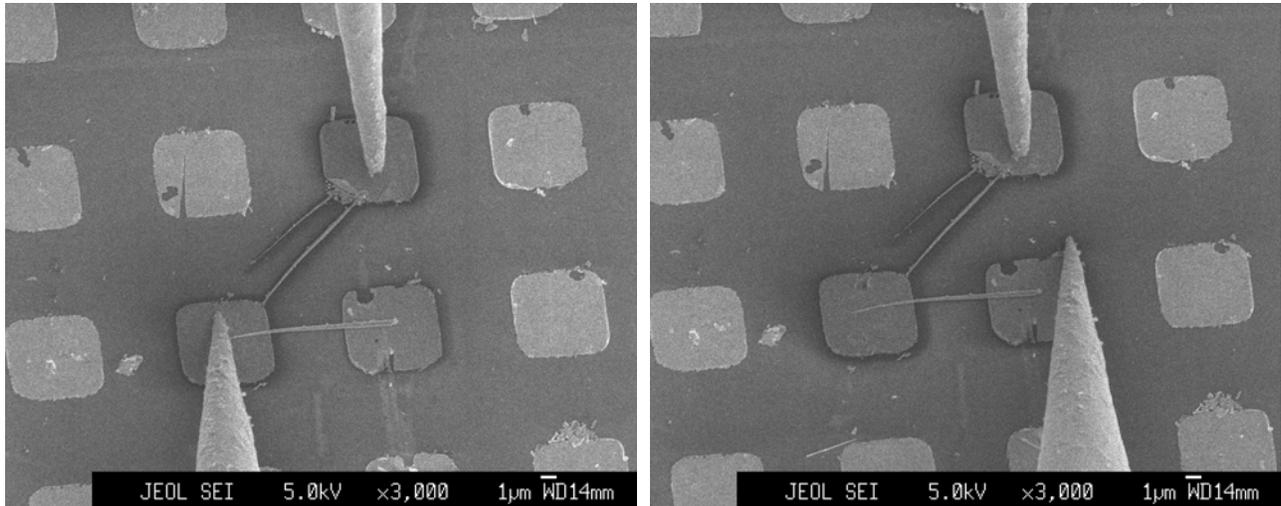


Fig 17 – Imagem eletrônica dos *pads* com os nanofios. Ao entrar em contato com a amostra, a ponta, que está “aterrada”, tem seu brilho alterado em função da diferença de carga na superfície (devido ao feixe de elétrons). Podemos observar claramente que existe condução através dos nanofios, fazendo com que os *pads* que não estão em contato direto com as pontas fiquem aterrados também.

Efetuamos então as medidas I vs. V nos nanofios, e em diversos *pads* espalhados pela amostra. Podemos observar uma clara distinção entre a corrente do substrato e a corrente através dos nanofios (Fig.18), ao contrário do que havia acontecido com a amostra anterior. O nível de corrente medido pode ser influenciado pelo contato elétrico ruim entre a ponta de tungstênio e o *pad*.

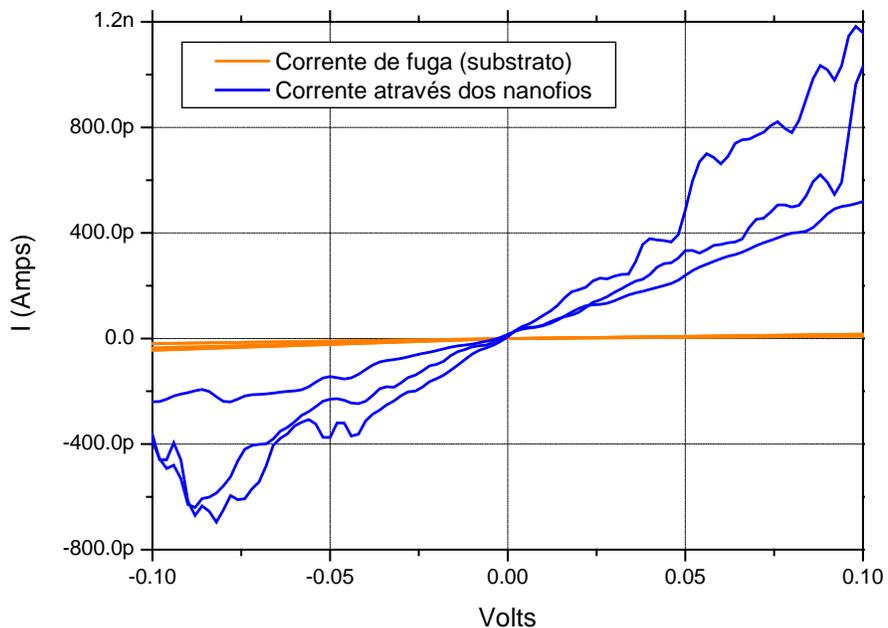


Figura 18 – medidas elétricas nos nanofios de InP, com camada de SiO_2 entre metal e semicondutor.

Verificado a clara distinção entre a corrente de fuga do substrato e a corrente que passa pelo nanofio, procedemos com transporte da amostra para os laboratórios do LPD (IFGW) para podermos realizar outras medidas.

Os nanofios utilizados nessa amostra contém heteroestruturas de GaAs em sua composição, como ilustrado no nanofio da figura 3c.

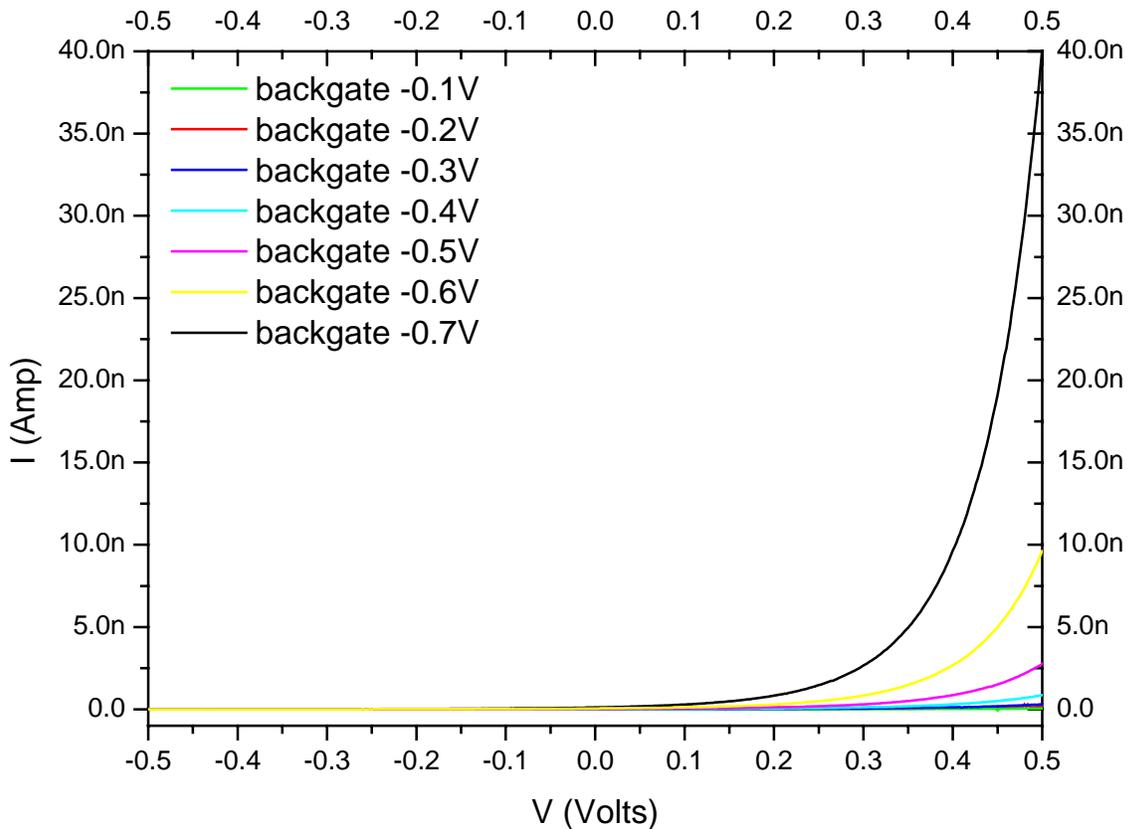


Figura 19 – medidas elétricas nos nanofios de InP, com configuração de backgate.

Variando a tensão no backgate, obtivemos um comportamento não linear, exponencial, similar a de um diodo. Que pode ser melhor observado na figura abaixo.

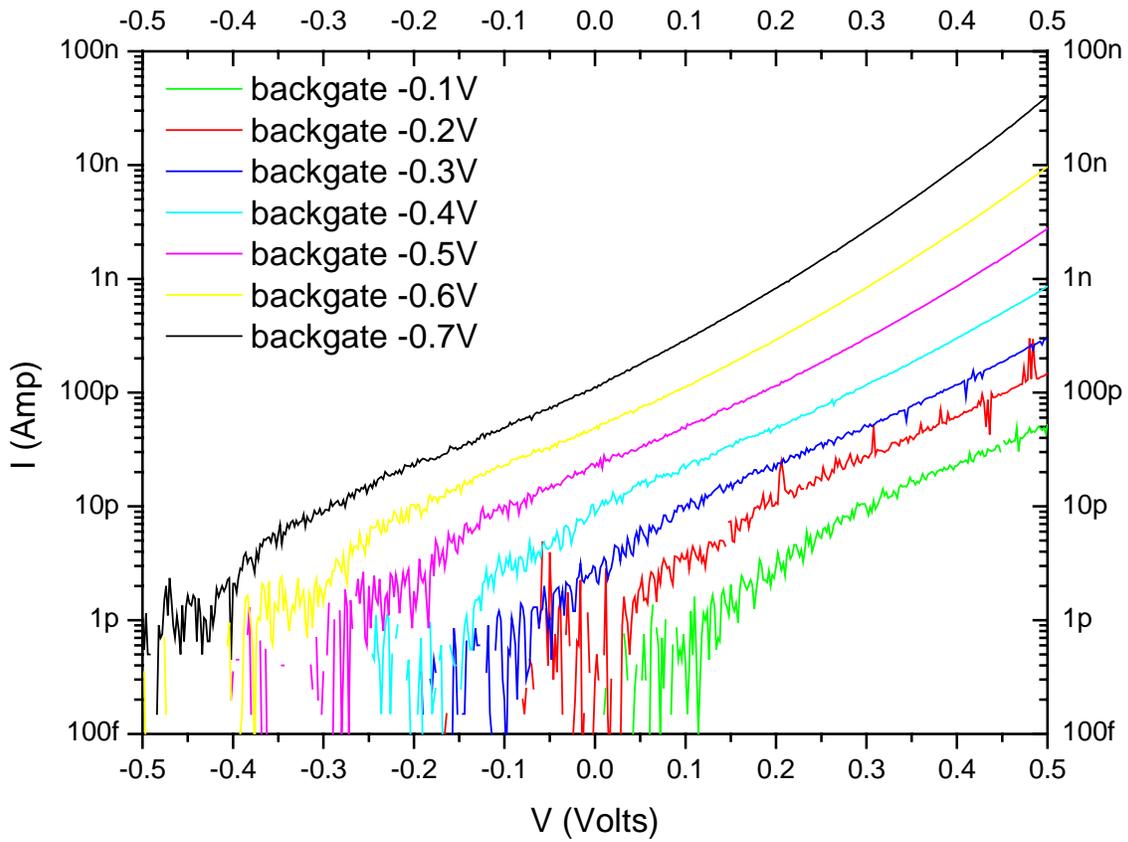


Figura 20 – medidas elétricas nos nanofios de InP, com configuração de backgate.

Escala Log

Verificamos um comportamento retificador, não típico de estruturas semicondutoras.

Este comportamento pode ter sido causado pela presença das heteroestruturas no nanofio. E varia de acordo com a tensão aplicada no backgate.

5. Conclusões

De forma geral, estes resultados mostraram ser viável a fabricação de dispositivos baseados em nanofios utilizando os procedimentos escolhidos de fotogração, metalização e a manipulação no FEG-SEM do LEM/LNLS. Conseguimos minimizar a corrente de fuga utilizando um substrato de SiO₂, que possibilita medidas com a configuração de *back gate*. Finalmente verificamos as propriedades elétricas não-lineares, como no caso de heteroestruturas. Algumas curvas apresentaram um caráter retificador. Que varia em função da tensão aplicada no gate. Devemos proceder então com as medidas a baixa temperatura para podermos tirar maiores conclusões.

6. Agradecimentos

Os processos de fotolitografia e metalização foram realizados com o auxílio de Antonio Augusto de Godoy von Zuben (Totó). As soldagens tipo *wire-bonding* foram feitas no Departamento de Empacotamento Eletrônico do CenPRA por Tatsuo Hinuma.

8. Referências

- [1]. C.M.Lieber, *Sci. Am.* **285**, 58-64 (2001)
- [2]. M.H.Huang, S.Mao, H.Feick, H.Yan, Y.Wu, H.Kind, E.Weber, R.Russo and P.Yang, *Science* **292**, 1897 (2001)
- [3]. J.F.Wang, M.S.Gudiksen, X.F.Duan, Y.Cui, and C.M.Lieber, *Science* **293**, 1455-1457 (2001)
- [4]. Y.Cui, Q.Q.Weil, H.K.Park, and C.M.Lieber, *Science* **293**, 1289-1292 (2001)
- [5]. X.F.Duan, Y.Huang, Y.Cui, J.F.Wang, and C.M.Lieber, *Nature* **409**, 66-69 (2001)
- [6]. M.T.Björk, B.J.Ohlsson, T.Sass, A.I.Persson, C.Thelander, M.H.Magnusson, K.Deppert, L.R.Wallenberg and L.Samuelsen, *Appl.Phys.Lett.* **80**, 1058 (2002)
- [7]. M.S.Gudiksen, L.J.Lauhon, J.Wang, D.C.Smith and C.M.Lieber, *Nature* **415**, 617 (2002)
- [8]. Y.Wu, R.Fan and P.Yang, *Nano Lett.* **2**, 83 (2002)
- [9]. M.T.Björk, B.J.Ohlsson, C.Thelander, A.I.Persson, K.Deppert, L.R.Wallenberg and L.Samuelsen, *Appl.Phys.Lett.* **81**, 4458 (2002)
- [10]. R.S.Wagner, em *Whisker Technology*, editado por A.P.Levitt (Wiley, New York, 1970) pp.47-119
- [11]. S. Bhunia, T. Kawamura and Y. Watanabe, *Appl. Phys. Lett.*, **83** 3371 (2003)
- [12]. C. Thelander, M.T. Bjork, M.W. Larsson, A.E. Hansen, L.R. Wallenberg, L. Samuelson, *Sol.Stat.Comm.* **131**, 573 (2004)
- [13]. U. Krishnamahari, M. Borgstrom, B.J. Ohlsson, N. Panev, L. Samuelson, W. Seifert, M.W. Larsson and L.R. Wallenberg, *Appl. Phys. Lett.*, **85** 2077 (2004)
- [14] J. Bardeen, W. H. Brattain, *Phys. Rev.*, **74**, 230-231 (1948)
- [15] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 246-249 (1981)
- [16] M. Favoretto, Tese de mestrado, Faculdade de Engenharia Elétrica, Unicamp, (1992)

Campinas, 19 de Junho de 2006

Leonardo Castilho Couto
Bolsista

Profa. Mônica Alonso Cotta
Orientadora